

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HEA-SUK JUNG

Application No.:

Filed:

For: **delay locked loop (dll) in
semiconductor device**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0074229	27 November 2002

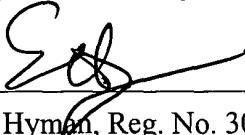
A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 21/5/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0074229
Application Number

출원년월일 : 2002년 11월 27일
Date of Application NOV 27, 2002

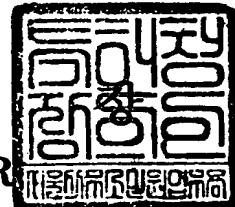
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 14일

특허청

COMMISSIONER





1020020074229

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2002.11.27		
【발명의 명칭】	지연 고정 루프 회로		
【발명의 영문명칭】	DELAY LOCKED LOOP CIRCUIT		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	정혜숙		
【성명의 영문표기】	JUNG,Hea Suk		
【주민등록번호】	731212-2001210		
【우편번호】	110-480		
【주소】	서울특별시 종로구 효제동 138번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	343,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명의 지연 고정 루프 회로는, 고주파에서 사용되는 CAS(Column Address Strobe) 레이턴시(Latency) 값에 따라 적합한 클럭 분주기를 선택하는 제어기를 적용함으로써, 고주파 및 저주파에 모두 사용가능하고, 고정하는 데에 소요되는 시간을 줄일 수 있는 지연 고정 루프 회로를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 클럭 버퍼; 상기 클럭 버퍼로부터 상기 레벨 신호 중 상승 레벨 신호를 입력받고, 외부에서 CAS 신호를 입력받으며, 여덟 클럭마다 한번씩 상기 CAS 신호에 따른 펄스 폭을 갖는 신호 및 그 반전값인 기준 신호를 생성하는 방식으로 클럭을 분주하는 가변 클럭 분주기; 위상 비교기; 시프트 제어기; 시프트 레지스터; 복수개의 딜레이 라인; 딜레이 모델부; 및 복수개의 DLL 드라이버를 포함한다.

【대표도】

도 10

【색인어】

클럭 분주, DLL, DDR, 지터, 딜레이

【명세서】**【발명의 명칭】**

지연 고정 루프 회로{DELAY LOCKED LOOP CIRCUIT}

【도면의 간단한 설명】

도 1은 종래의 DLL 회로를 나타낸 블록도,

도 2는 종래의 DLL 회로 내에 장착된 클럭 분주기의 저주파 동작을 나타낸 타이밍 도,

도 3은 종래의 DLL 회로 내에 장착된 클럭 분주기의 고주파 동작을 나타낸 타이밍 도,

도 4는 종래의 DLL 회로 내에 장착된 클럭 분주기의 다른 고주파 동작을 나타낸 타이밍도,

도 5는 종래의 1/8 클럭 분주기를 나타낸 회로도,

도 6은 종래의 1/8 클럭 분주기의 동작을 나타낸 타이밍도,

도 7은 종래의 2/8 클럭 분주기를 나타낸 회로도,

도 8은 종래의 2/8 클럭 분주기의 동작을 나타낸 타이밍도,

도 9는 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 블록도,

도 10은 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 가변 클럭 분주기를 나타낸 회로도,

도 11은 본 발명의 지연 고정 루프 회로의 동작을 나타낸 타이밍도.



* 도면의 주요 부분에 대한 부호의 설명 *

910 : 클럭 버퍼 920 : 가변 클럭 분주기

930 : 위상 비교기 940 : 시프트 제어기

950 : 시프트 레지스터 961~963 : 딜레이 라인

970 : 딜레이 모델부 981, 982 : DLL 드라이버

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 지연 고정 루프 회로에 관한 것으로, 특히, 원하는 클럭 신호를 찾기 위하여 외부에서 들어오는 카스 레이턴시(CAS Latency) 값에 따라 다르게 동작하는 클럭 분주기를 사용함으로써, 하나의 클럭 분주기로 저주파와 고주파를 동시에 만족하는 지연 고정 루프 회로에 관한 것이다.

<18> 일반적으로, 시스템이나 회로에서 클럭을 사용하는 이유는 타이밍에 있어 기준으로 사용하고, 좀 더 빠른 동작을 오류 없이 보장하기 위해서이다. 이때 외부에서 들어오는 클럭이 내부에서 사용될 때 시간 지연(time delay)이 생기는데, 이러한 시간 지연을 제거함으로써, 내부에서 사용된 클럭이 외부에서 들어오는 클럭과 동일하도록 조정하는 장치가 지연 고정 루프(Delay Locked Loop) 회로이다.

<19> 도 1은 종래의 DLL 회로를 나타낸 블록도로서, 이러한 종래의 DLL 회로는, 외부에서 클럭 신호(CLK) 및 반전 클럭 신호(CLK/)를 입력받고, 내부에서 사용하는



복수개의 레벨 신호(Fall_clk 및 Rise_clk)로 바꾸어주는 클럭 버퍼(110); 클럭 버퍼(110)로부터 레벨 신호(Rise_clk)를 입력받아 여덟 클럭마다 한번씩 소정의 펄스 폭을 갖는 신호(delay_in) 및 그 반전값(ref)을 생성하는 방식으로 클럭을 분주하는 클럭 분주기(120); 클럭 분주기(120)로부터 외부 클럭에 해당하는 반전값(ref)과 지연된 신호(feed back)를, 반전값(ref)의 상승 에지(rising edge) 및 지연된 신호(feed back)의 상승 에지의 위상차가 '0'이 될 때까지 비교하는 위상 비교기(130); 위상 비교기(130)로부터 비교 신호($Pc<0:3>$)를 입력받아 시프트 제어 신호(SR, SL)를 생성하는 시프트 제어기(140); 시프트 제어기(140)의 시프트 제어 신호(SR, SL)에 따라 SR 신호를 입력받으면 레지스터 신호 활성화 위치를 오른쪽으로 이동시키고, SL 신호를 입력받으면 레지스터 신호 활성화 위치를 왼쪽으로 이동시키는 방식으로 딜레이 위치를 선택하는 시프트 레지스터(150); 짜터(jitter)를 줄이기 위하여 가장 짧은 딜레이 시간을 갖는 로직으로 구성된 단위 딜레이들을 포함하고, 시프트 레지스터(150)의 시프트 제어 신호(SR, SL)를 입력받아 복수개의 레벨 신호(Fall_clk 및 Rise_clk)를 각각 지연시켜 복수개의 지연 클럭 신호(ifclk, irclk)를 생성하며, 클럭 분주기(120)로부터 여덟 번째 클럭으로 만들어진 신호(delay_in)에 의해 피드백 딜레이 신호(Feedback_dly1)를 생성하는 복수개의 딜레이 라인(161, 162, 163); 외부에서 들어온 클럭과 실제 내부에서 사용되는 클럭의 시간차를 보상하여 지연된 신호(feed back)를 생성하는 딜레이 모델부(170); 및 복수개의 지연 클럭 신호(ifclk, irclk)를 입력받아 내부 회로로 전달하는 복수개의 DLL 드라이버(181, 182)를 포함한다.

<20> 상술한 종래의 DLL 회로의 동작에 관하여 설명하면 다음과 같다.



<21> 먼저, 클럭 버퍼(110)는 외부에서 들어오는 클럭을 입력받아 클럭 분주기(120)로 출력하고, 클럭 분주기(120)에서는, 여덟 클럭마다 한번씩 동기되는 신호(ref, Delay_in)를 생성한다. 이러한 신호 중 하나(ref)는 비교하는 기준이 되는 신호로 써 쓰이고, 다른 신호(delay_in)는, 딜레이 라인(163), 딜레이 모델(170)을 통하여 지연된 신호(feedback)가 된다. 이렇게 생성된 신호(feedback)는 기준이 되는 신호(ref)의 상승 에지와 위상 비교기(130)에서 비교되고, 이를 통하여 시프트 레지스터(150)를 동작시킨다. 이런 식으로 반복하면서 기준 신호(ref)와 지연된 신호(feedback)가 최소의 지터를 가지는 순간 고정이 되는 것이다. 즉, 외부에서 들어오는 클럭과 내부에서 동작하는 클럭의 시간차를 보상하여 줌으로써, 실제 내부에서 동작하는 클럭(rclk_d11, fclk_d11)은 외부 클럭과 동기되어 동작할 수 있다.

<22> 도 2는 종래의 DLL 회로 내에 장착된 클럭 분주기(120)의 저주파 동작을 나타낸 타이밍도로서, 이에 관하여 설명하면 다음과 같다.

<23> 클럭 분주기(120)는, 외부 클럭과 내부 클럭의 시간차를 보상하기 위하여, 여덟 클럭마다 한번씩 소정의 펄스 폭(1tck)을 갖는 신호(delay_in) 및 이러한 신호(delay_in)와 위상이 반대인 기준 신호(ref)를 생성한다. 즉, 소정의 펄스 폭(1tck)을 갖는 신호(delay_in)의 상승 에지에서 소정의 펄스 폭(1tck) 시간 이후 상승 에지를 갖는 기준 신호(ref)를 생성하는 것이다. 이 때, 신호(delay_in)가 딜레이 라인(163) 및 딜레이 모델부(170)를 통하여 생성된 지연된 신호(feedback)를 소정의 펄스 폭(1tck) 시간 이후에 오는 기준 신호(ref)와 비교하면서 두 신호 차이의 시간차를 줄여나가는 것이다. 이러한 과정을 통하여 생성된 신호(delay_in)는 최초에 하나의 단위 딜레이(약 0.2ns)만큼 딜레이되어 출력된다(feedback_dly1). 이 신호는 다시 외부 클럭과 내부 클럭의 시간차(

약 5ns)를 보상하기 위하여 딜레이 모델부(170)를 통과하게 되는데, 이를 통하여 지연된 신호(feedback)가 생성된다. 최초의 신호(delay_in)는 약 0.2ns의 지연을 갖는 단위 딜레이와 약 5ns의 지연을 갖는 딜레이 모델부를 통과하므로, 기준 신호(ref)의 상승 시간과 지연된 신호(feedback)의 상승 시간의 차이(tD)는 약 5.2ns가 된다. 여기서, 기준이 되는 신호(ref)는 신호(delay_in)에서 소정의 시간(1tck) 이후에 상승하는 신호이므로, 저주파($tck \geq 10\text{ns}$)의 경우, 딜레이 라인(163) 및 딜레이 모델부(170)를 통과하여 생성된 지연된 신호(feedback)는 비교되는 기준 신호(ref)보다 앞서게 된다. 이러한 경우에, 위상 비교기(130)는, 단위 딜레이 수를 증가시켜 지연된 신호(feedback)를 더욱 지연시킴으로써, 기준 신호(ref)와 동일한 위상이 되도록 한다. 도 3은 종래의 DLL 회로 내에 장착된 클럭 분주기(120)의 고주파 동작을 나타낸 타이밍도로서, 이러한 고주파($tck \leq 5\text{ns}$)의 경우에는, 최초의 신호(delay_in)는 약 0.2ns의 지연을 갖는 단위 딜레이와 약 5ns의 지연을 갖는 딜레이 모델부를 통과하므로, 지연된 신호(feedback)는 비교되는 기준 신호(ref)보다 뒤쪽에 나오게 된다. 이러한 경우에, 위상 비교기(130)는, 처음부터 시프트 레프트 동작을 수행하게 되는데, 딜레이 라인(161~163)은 최초에 왼쪽으로 이동할 수 없으므로, 원하는 내부 클럭을 생성할 수 없다. 이러한 이유로 고주파로 가게되면 기존



의 DLL 회로에서는 원하는 내부 클럭을 찾지 못하게 된다. 이를 해결하기 위한 클럭 분주 방식이 도 4에 도시되어 있다. 도 4를 참조하면, 외부 클럭과 내부 클럭의 시간차를 보상하기 위하여, 여덟 클럭마다 한번 씩 소정의 펄스폭(2tck)을 갖는 신호(delay_in) 및 이러한 신호(delay_in)와 위상이 반대인 기준 신호(ref)를 생성한다. 즉, 소정의 펄스 폭(1tck)을 갖는 신호(delay_in)의 상승 에지에서 소정의 펄스 폭(2tck) 시간 이후 상승 에지를 갖는 기준 신호(ref)를 생성하는 것이다. 이 때, 고주파 동작(tck=5ns)에 있어서는, 최초의 신호(delay_in)는 약 0.2ns의 지연을 갖는 단위 딜레이와 약 5ns의 지연을 갖는 딜레이 모델부를 통과하므로, 지연된 신호(feedback)는 비교되는 기준 신호(ref)(2×CK=10ns)보다 앞서게 된다. 이후에, 위상 비교기(130)는, 단위 딜레이 수를 증가시켜 지연된 신호(feedback)를 더욱 지연시킴으로써, 기준 신호(ref)와 동일한 위상이 되도록 한다.

<24> 도 5는 종래의 1/8 클럭 분주기를 나타낸 회로도로서, 복수개의 분주기(510, 520, 530) 및 드라이버(540)를 포함한다.

<25> 도 6은 종래의 1/8 클럭 분주기의 동작을 나타낸 타이밍도로서, 이를 참조하여 종래의 1/8 클럭 분주기의 동작을 설명하면 다음과 같다.

<26> 먼저, 제1 분주기(510)는 소정의 주기(tCK)를 갖는 신호(S1)를 입력받아, 입력 신호(S1)가 제2 논리 단계(High)일 때 위상을 바꾸고, 입력 신호(S1)가 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 2×CK 주기를 갖고 진동하는 신호(A)를 생성한다. 이후에, 제2 분주기(520)는, 제1 분주기(510)가 출력한 신호(A)를 입력받아 입력 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸고, 입



력 신호(A)가 제1 논리 단계(Low)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 소정의 주기(tCK)를 갖고, 1/4분주된 신호(B)를 생성한다. 다음에, 제3 분주기(530)는, 제2 분주기(520)가 출력한 신호(B)를 입력받아 입력 신호(B)가 제1 논리 단계(Low)일 때 위상을 바꾸고, 입력 신호(B)가 제2 논리 단계(High)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 소정의 주기(tCK)를 갖고, 1/8분주된 신호(S3)를 생성한다. 또한, 드라이버(540)는, 1/8분주된 신호(S3)를 입력받아 반전한 후, 그 결과값을 반전 신호(S2)로서 출력한다. 즉, 1/8 클럭 분주기는, tCK의 주기로 진동하는 신호(S1)를 입력받아 여덟 번째 마다 한번씩 tCK의 펄스 폭을 갖는 복수개의 신호(S2, S3)를 생성하는데, 상술한 바와 같이 이러한 클럭 분주기는 저주파에서만 사용이 가능하다.

<27> 도 7은 종래의 2/8 클럭 분주기를 나타낸 회로도로서, 복수개의 분주기(710, 720, 730) 및 드라이버(740)를 포함한다.

<28> 도 8은 종래의 2/8 클럭 분주기의 동작을 나타낸 타이밍도로서, 이를 참조하여 종래의 2/8 클럭 분주기의 동작을 설명하면 다음과 같다.

<29> 먼저, 제1 분주기(710)는 소정의 주기(tCK)를 갖는 신호(S1)를 입력받아, 입력 신호(S1)가 제2 논리 단계(High)일 때 위상을 바꾸고, 입력 신호(S1)가 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 2 \times CK 주기를 갖고 진동하는 신호(A)를 생성한다. 이후에, 제2 분주기(720)는, 제1 분주기(710)가 출력한 신호(A)를 입력받아 입력 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸고, 입력 신호(A)가 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 소정의 주



기($2 \times CK$)를 갖고, 2/4분주된 신호(B)를 생성한다. 다음에, 제3 분주기(730)는, 제2 분주기(720)가 출력한 신호(B)를 입력받아 입력 신호(B)가 제1 논리 단계(Low)일 때 위상을 바꾸고, 입력 신호(B)가 제2 논리 단계(High)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 소정의 주기($2 \times CK$)를 갖고, 2/8분주된 신호(S3)를 생성한다. 또한, 드라이버(740)는, 2/8분주된 신호(S3)를 입력받아 반전한 후, 그 결과값을 반전 신호(S2)로서 출력한다. 즉, 2/8 클럭 분주기는, tCK의 주기로 진동하는 신호(S1)를 입력받아 여덟 번째마다 한번씩 $2 \times CK$ 의 펄스 폭을 갖는 복수개의 신호(S2, S3)를 생성하는데, 상술한 바와 같이 이러한 클럭 분주기는 고주파에서도 사용이 가능하다.

<30> 그러나, 상술한 종래의 DLL 회로에 의하면, 1/8 클럭 분주기를 장착한 경우에는 고주파에서 사용할 수 없고, 2/8 클럭 분주기를 장착한 경우에는, 저주파에서 사용할 때, $2 \times CK$ 의 펄스폭을 가지므로, 비교하는 기준 신호(ref)와 지연된 신호(feedback)와의 시간차가 커지게 되어, 고정하는데 소요되는 시간이 길어지는 문제점이 있다. 또한, 2/8 클럭 분주기를 장착한 경우에, 저주파 동작에서의 tCK를 만족하기 위해 더 많은 단위 딜레이 단을 필요로 하므로, 레이아웃 면적의 증가를 야기하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 상기 문제점을 해결하기 위하여 안출된 본 발명은, 고주파에서 사용되는 CAS(Column Address Strobe) 레이턴시(Latency) 값에 따라 적합한 클럭 분주기를 선택하

는 제어기를 적용함으로써, 고주파 및 저주파에 모두 사용가능하고, 고정하는 데에 소요되는 시간을 줄일 수 있는 지연 고정 루프 회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<32> 상기 목적을 달성하기 위하여 본 발명의 지연 고정 루프 회로는, 외부에서 클럭 신호 및 반전 클럭 신호를 입력받아 내부에서 사용하는 복수개의 레벨 신호로서 출력하는 클럭 버퍼; 상기 클럭 버퍼로부터 상기 레벨 신호 중 상승 레벨 신호를 입력받고, 외부에서 CAS 신호를 입력받으며, 여덟 클럭마다 한번씩 상기 CAS 신호에 따른 펄스 폭을 갖는 신호 및 그 반전값인 기준 신호를 생성하는 방식으로 클럭을 분주하는 가변 클럭 분주기; 피드백 신호 및 상기 가변 클럭 분주기로부터 상기 기준 신호를 입력받고, 상기 기준 신호의 상승 에지 및 상기 피드백 신호의 상승 에지의 위상차가 '0'이 될 때까지 비교 동작을 수행하고, 이를 통하여 비교 신호를 생성하는 위상 비교기; 상기 위상 비교기로부터 상기 비교 신호를 입력받아 시프트 라이트 신호 및 시프트 레프트 신호를 생성하는 시프트 제어기; 상기 시프트 제어기로부터 상기 시프트 라이트 신호를 입력받으면 레지스터 신호 활성화 위치를 오른쪽으로 이동시키고, 상기 시프트 레프트 신호를 입력받으면 레지스터 신호 활성화 위치를 왼쪽으로 이동시키는 시프트 레지스터; 지터를 줄이기 위하여 가장 짧은 딜레이 시간을 갖는 로직으로 구성된 단위 딜레이들을 포함하고, 상기 시프트 레지스터의 상기 시프트 라이트 신호 및 시프트 레프트 신호를 입력받아 상기 복수개의 레벨 신호를 각각 지연시켜 복수개의 지연 클럭 신호를 생성하며, 가변 클럭 분주기에서 출력된 신호에 의해 피드백 딜레이 신호를 생성하는 복수개의 딜레이 라인; 외부에서 들어온 클럭과 실제 내부에서 사용되는 클럭의 시간차를 보상하여 상기 피

드백 신호를 생성하는 딜레이 모델부; 및 복수개의 지연 클럭 신호를 입력받아 내부 회로로 전달하는 복수개의 DLL 드라이버를 포함한다.

<33> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

<34> 도 9는 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 블록도로서, 이러한 본 발명의 지연 고정 루프 회로는, 클럭 버퍼(910), 가변 클럭 분주기(920), 위상 비교기(930), 시프트 제어기(940), 시프트 레지스터(950), 복수개의 딜레이 라인(961, 962, 963), 딜레이 모델부(970) 및 복수개의 DLL 드라이버(981, 982)를 포함한다.

<35> 클럭 버퍼(910)는, 외부에서 클럭 신호(CLK) 및 반전 클럭 신호(CLK/)를 입력받고, 이를 일시 저장한 후, 내부에서 사용하는 복수개의 레벨 신호(Fall_clk 및 Rise_clk)로서 출력하는 역할을 한다.

<36> 또한, 가변 클럭 분주기(920)는, 상기 클럭 버퍼(910)로부터 상기 레벨 신호 중 상승 레벨 신호(Rise_clk)를 입력받고, 외부에서 CAS 신호(CAS)를 입력받으며, 여덟 클럭마다 한번씩 상기 CAS 신호(CAS)에 따른 펄스 폭을 갖는 신호(S2) 및 그 반전값인 기준 신호(S3)를 생성하는 방식으로 클럭을 분주하는 역할을 한다.

<37> 한편, 위상 비교기(930)는, 피드백 신호(feed back) 및 상기 가변 클럭 분주기(920)로부터 상기 기준 신호(S3)를 입력받고, 상기 기준 신호(S3)의 상승 에지(rising edge) 및 상기 피드백 신호(feed back)의 상승 에지의 위상차가 '0'이 될 때까지 비교

동작을 수행하고, 이를 통하여 비교 신호($Pc<0:3>$)를 생성하여 후술하는 시프트 제어기(940)로 출력하는 역할을 한다.

<38> 또한, 시프트 제어기(940)는, 상기 위상 비교기(930)로부터 상기 비교 신호($Pc<0:3>$)를 입력받아 시프트 라이트 신호(SR) 및 시프트 레프트 신호(SL)를 생성하고, 상기 시프트 라이트 신호(SR) 및 시프트 레프트 신호(SL)를 후술하는 시프트 레지스터(950)로 출력하는 역할을 한다.

<39> 한편, 시프트 레지스터(950)는, 상기 시프트 제어기(940)로부터 상기 시프트 라이트 신호(SR)를 입력받으면 레지스터 신호 활성화 위치를 오른쪽으로 이동시키고, 상기 시프트 레프트 신호(SL)를 입력받으면 레지스터 신호 활성화 위치를 왼쪽으로 이동시키며, 상기 레지스터 신호를 후술하는 복수개의 딜레이 라인(961~963)으로 출력하는 역할을 한다.

<40> 또한, 복수개의 딜레이 라인(961~963)은, 지터(jitter)를 줄이기 위하여 가장 짧은 딜레이 시간을 갖는 로직으로 구성된 단위 딜레이들을 포함하고, 상기 시프트 레지스터(950)의 상기 시프트 라이트 신호(SR) 및 시프트 레프트 신호(SL)를 입력받아 상기 복수개의 레벨 신호(Fall_clk 및 Rise_clk)를 각각 지연시켜 복수개의 지연 클럭 신호(ifclk, irclk)를 생성하며, 가변 클럭 분주기(920)에서 출력된 신호(S2)에 의해 피드백 딜레이 신호(Feedback_dly1)를 생성하는 역할을 한다.

<41> 한편, 딜레이 모델부(970)는, 외부에서 들어온 클럭과 실제 내부에서 사용되는 클럭의 시간차를 보상하여 상기 피드백 신호(feed back)를 생성하는 역할을 한다.

<42> 또한, 복수개의 DLL 드라이버(981, 982)는, 복수개의 지연 클럭 신호(ifclk, irclk)를 입력받아 내부 회로로 전달하는 역할을 한다.

<43> 도 10은 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 가변 클럭 분주기(920)를 나타낸 회로도로서, 이에 관하여 설명하면 다음과 같다.

<44> 제1 분주기(1010)는, 상기 클럭 버퍼(910)로부터 상기 레벨 신호 중 상승 레벨 신호(Rise_clk)를 입력받고, 상기 상승 레벨 신호(Rise_clk)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 제1 분주 신호(A)를 생성하여 후술하는 제2 분주기(1020)로 출력하는 역할을 한다. 여기서, 상기 제1 분주기(1010)에 관하여 상세히 설명하면 다음과 같다.

<45> 상기 제1 분주기(1010) 내에 장착된 제1 NAND 게이트(1011)는, 상기 상승 레벨 신호(Rise_clk)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<46> 또한, 상기 제1 분주기(1010) 내에 장착된 제2 NAND 게이트(1012)는, 상기 상승 레벨 신호(Rise_clk)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<47> 한편, 상기 제1 분주기(1010) 내에 장착된 제1 인버터(1013)는, 상기 상승 레벨 신호(Rise_clk)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

<48> 또한, 상기 제1 분주기(1010) 내에 장착된 제3 NAND 게이트(1014)는, 상기 제2 NAND 게이트(1012)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

- <49> 한편, 상기 제1 분주기(1010) 내에 장착된 제4 NAND 게이트(1015)는, 상기 제3 NAND 게이트(1014)에 크로스 커플링되고, 상기 제1 NAND 게이트(1011)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제1 분주 신호(A)로서 출력하는 역할을 한다.
- <50> 또한, 상기 제1 분주기(1010) 내에 장착된 제5 NAND 게이트(1016)는, 상기 제3 NAND 게이트(1014)의 출력 신호 및 상기 제1 인버터(1013)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <51> 한편, 상기 제1 분주기(1010) 내에 장착된 제6 NAND 게이트(1017)는, 상기 제4 NAND 게이트(1015)의 출력 신호 및 상기 제1 인버터(1013)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <52> 또한, 상기 제1 분주기(1010) 내에 장착된 제7 NAND 게이트(1018)는, 상기 제6 NAND 게이트(1017)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제2 NAND 게이트(1012)로 출력하는 역할을 한다.
- <53> 한편, 상기 제1 분주기(1010) 내에 장착된 제8 NAND 게이트(1019)는, 상기 제7 NAND 게이트(1018)에 크로스 커플링되고, 상기 제5 NAND 게이트(1016)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제1 NAND 게이트(1011)로 출력하는 역할을 한다.
- <54> 또한, 제2 분주기(1020)는, 상기 제1 분주기(1010)로부터 상기 제1 분주 신호(A)를 입력받고, 상기 제1 분주 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 제2 분주 신호(B-1)를

생성하며, 상기 제1 분주 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 제3 분주 신호(B-2)를 생성하고, 상기 제2 분주 신호(B-1) 및 상기 제3 분주 신호(B-2)를 후술하는 CAS 제어부(1030)로 출력하는 역할을 한다. 여기서, 상기 제2 분주기(1020)에 관하여 상세히 설명하면 다음과 같다.

- <55> 상기 제2 분주기(1020) 내에 장착된 제9 NAND 게이트(1021)는, 상기 제1 분주 신호(A)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <56> 또한, 상기 제2 분주기(1020) 내에 장착된 제10 NAND 게이트(1022)는, 상기 제1 분주 신호(A)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <57> 한편, 상기 제2 분주기(1020) 내에 장착된 제2 인버터(1023)는, 상기 제1 분주 신호(A)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <58> 또한, 상기 제2 분주기(1020) 내에 장착된 제11 NAND 게이트(1024)는, 상기 제10 NAND 게이트(1022)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <59> 한편, 상기 제2 분주기(1020) 내에 장착된 제12 NAND 게이트(1025)는, 상기 제11 NAND 게이트(1024)에 크로스 커플링되고, 상기 제9 NAND 게이트(1021)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제2 분주 신호(B-1)로서 출력하는 역할을 한다.

- <60> 또한, 상기 제2 분주기(1020) 내에 장착된 제13 NAND 게이트(1026)는, 상기 제11 NAND 게이트(1024)의 출력 신호 및 상기 제2 인버터(1023)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <61> 한편, 상기 제2 분주기(1020) 내에 장착된 제14 NAND 게이트(1027)는, 상기 제12 NAND 게이트(1025)의 출력 신호 및 상기 제2 인버터(1023)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <62> 또한, 상기 제2 분주기(1020) 내에 장착된 제15 NAND 게이트(1028)는, 상기 제14 NAND 게이트(1027)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제10 NAND 게이트(1022)로 출력하는 역할을 한다.
- <63> 한편, 상기 제2 분주기(1020) 내에 장착된 제16 NAND 게이트(1029)는, 상기 제15 NAND 게이트(1028)에 크로스 커플링되고, 상기 제13 NAND 게이트(1026)의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제9 NAND 게이트(1021)로 출력하는 역할을 한다.
- <64> 한편, CAS 제어부(1030)는, 외부에서 상기 CAS 신호(CAS)를 입력받고, 상기 CAS 신호(CAS)가 제1 논리 단계(Low)인 경우에는 상기 제2 분주 신호(B-1)를 후술하는 제3 분주기(1040)로 도통시키며, 상기 CAS 신호(CAS)가 제2 논리 단계(High)인 경우에는 상기 제3 분주 신호(B-2)를 후술하는 제3 분주기(1040)로 도통시키는 역할을 한다. 여기서, 상기 CAS 제어부(1030)에 관하여 상세히 설명하면 다음과 같다.
- <65> 상기 CAS 제어부(1030) 내에 장착된 제1 패스 게이트부(1031)는, 상기 CAS 신호(CAS)가 제1 논리 단계(Low)인 경우에는 상기 제2 분주 신호(B-1)를 후술하는 제3 분주

기(1040)로 도통시키고, 상기 CAS 신호(CAS)가 제2 논리 단계(High)인 경우에는 상기 제2 분주 신호(B-1)를 차단하는 역할을 한다.

<66> 또한, 상기 CAS 제어부(1030) 내에 장착된 제2 패스 게이트부(1032)는, 상기 CAS 신호(CAS)가 제1 논리 단계(Low)인 경우에는 상기 제3 분주 신호(B-2)를 후술하는 제3 분주기(1040)로 도통시키고, 상기 CAS 신호(CAS)가 제2 논리 단계(High)인 경우에는 상기 제3 분주 신호(B-2)를 차단하는 역할을 한다.

<67> 또한, 제3 분주기(1040)는, 상기 CAS 제어부(1030)로부터 상기 제2 분주 신호(B-1) 또는 상기 제3 분주 신호(B-2)를 입력받고, 상기 제2 분주 신호(B-1) 또는 상기 제3 분주 신호(B-2)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 상기 기준 신호(S3)를 생성하고, 상기 기준 신호(S3)를 상기 위상 비교기(930)로 출력하는 역할을 한다. 여기서, 상기 제3 분주기(1040)에 관하여 상세히 설명하면 다음과 같다.

<68> 상기 제3 분주기(1040) 내에 장착된 제17 NAND 게이트(1041)는, 상기 CAS 제어부(1030)의 출력 신호(B)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<69> 또한, 상기 제3 분주기(1040) 내에 장착된 제18 NAND 게이트(1042)는, 상기 CAS 제어부(1030)의 출력 신호(B)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<70> 한편, 상기 제3 분주기(1040) 내에 장착된 제3 인버터(1043)는, 상기 CAS 제어부(1030)의 출력 신호(B)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

- <71> 또한, 상기 제3 분주기(1040) 내에 장착된 제19 NAND 게이트(1044)는, 상기 제18 NAND 게이트(1042)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <72> 한편, 상기 제3 분주기(1040) 내에 장착된 제20 NAND 게이트(1045)는, 상기 제19 NAND 게이트(1044)에 크로스 커플링되고, 상기 제17 NAND 게이트(1041)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <73> 또한, 상기 제3 분주기(1040) 내에 장착된 제21 NAND 게이트(1046)는, 상기 제19 NAND 게이트(1044)의 출력 신호 및 상기 제3 인버터(1043)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <74> 한편, 상기 제3 분주기(1040) 내에 장착된 제22 NAND 게이트(1047)는, 상기 제20 NAND 게이트(1045)의 출력 신호 및 상기 제3 인버터(1043)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 기준 신호(S3)로서 출력하는 역할을 한다.
- <75> 또한, 상기 제3 분주기(1040) 내에 장착된 제23 NAND 게이트(1048)는, 상기 제22 NAND 게이트(1047)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제18 NAND 게이트(1042)로 출력하는 역할을 한다.
- <76> 한편, 상기 제3 분주기(1040) 내에 장착된 제24 NAND 게이트(1049)는, 상기 제23 NAND 게이트(1048)에 크로스 커플링되고, 상기 제21 NAND 게이트(1046)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제17 NAND 게이트(1041)로 출력하는 역할을 한다.

<77> 한편, 드라이버(1050)는, 상기 제3 분주기(1040)로부터 상기 기준 신호(S3)를 입력 받아 반전한 후, 그 결과값(S2)을 상기 복수개의 딜레이 라인(961~963)으로 출력하는 역할을 한다.

<78> 도 11은 본 발명의 자연 고정 루프 회로의 동작을 나타낸 타이밍도로서, 이를 참조하여 본 발명의 자연 고정 루프 회로의 동작을 설명하면 다음과 같다.

<79> 먼저, 제1 분주기(1010)는, 클럭 버퍼(910)로부터 레벨 신호 중 상승 레벨 신호(Rise_clk)를 입력받고, 상승 레벨 신호(Rise_clk)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 제1 분주 신호(A)를 생성하게 된다. 이후에, 제2 분주기(1020)는, 제1 분주기(1010)로부터 제1 분주 신호(A)를 입력받고, 제1 분주 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 제2 논리 단계(High)의 값을 유지하는 방식으로 제2 분주 신호(B-1)를 생성하며, 제1 분주 신호(A)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 래치된 값을 유지하는 방식으로 제3 분주 신호(B-2)를 생성하게 된다. 다음에, CAS 제어부(1030)는, 외부에서 CAS 신호(CAS)를 입력받고, 이러한 CAS 신호(CAS)가 제1 논리 단계(Low)인 경우에는 제2 분주 신호(B-1)를 제3 분주기(1040)로 도통시키며, CAS 신호(CAS)가 제2 논리 단계(High)인 경우에는 제3 분주 신호(B-2)를 제3 분주기(1040)로 도통시키게 되고, 이후에, 제3 분주기(1040)는, CAS 제어부(1030)로부터 제2 분주 신호(B-1) 또는 제3 분주 신호(B-2)를 입력받고, 제2 분주 신호(B-1) 또는 제3 분주 신호(B-2)가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계(Low)일 때 제2 논리 단

계(High)의 값을 유지하는 방식으로 기준 신호(S3)를 생성한다. 다음에, 이러한 기준 신호(S3)는 그 반전값(S2)과 함께 위상 비교기(930)로 출력된다.

<80> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

【발명의 효과】

<81> 본 발명은 고주파에서 사용되는 CAS(Column Address Strobe) 레이턴시(Latency) 값에 따라 적합한 클럭 분주기를 선택하는 제어기를 적용함으로써, 고주파 및 저주파에 모두 사용가능하고, 고정하는 데에 소요되는 시간을 줄일 수 있는 이점이 있다.

【특허청구범위】**【청구항 1】**

외부에서 클럭 신호 및 반전 클럭 신호를 입력받아 내부에서 사용하는 복수개의 레벨 신호로서 출력하는 클럭 버퍼;

상기 클럭 버퍼로부터 상기 레벨 신호 중 상승 레벨 신호를 입력받고, 외부에서 CAS 신호를 입력받으며, 여덟 클럭마다 한번씩 상기 CAS 신호에 따른 펄스 폭을 갖는 신호 및 그 반전값인 기준 신호를 생성하는 방식으로 클럭을 분주하는 가변 클럭 분주기;

피드백 신호 및 상기 가변 클럭 분주기로부터 상기 기준 신호를 입력받고, 상기 기준 신호의 상승 에지 및 상기 피드백 신호의 상승 에지의 위상차가 '0'이 될 때까지 비교 동작을 수행하고, 이를 통하여 비교 신호를 생성하는 위상 비교기;

상기 위상 비교기로부터 상기 비교 신호를 입력받아 시프트 라이트 신호 및 시프트 레프트 신호를 생성하는 시프트 제어기;

상기 시프트 제어기로부터 상기 시프트 라이트 신호를 입력받으면 레지스터 신호 활성화 위치를 오른쪽으로 이동시키고, 상기 시프트 레프트 신호를 입력받으면 레지스터 신호 활성화 위치를 왼쪽으로 이동시키는 시프트 레지스터;

지터를 줄이기 위하여 가장 짧은 딜레이 시간을 갖는 로직으로 구성된 단위 딜레이들을 포함하고, 상기 시프트 레지스터의 상기 시프트 라이트 신호 및 시프트 레프트 신호를 입력받아 상기 복수개의 레벨 신호를 각각 지연시켜 복수개의 지연 클럭 신호를 생성하며, 가변 클럭 분주기에서 출력된 신호에 의해 피드백 딜레이 신호를 생성하는 복수개의 딜레이 라인;

외부에서 들어온 클럭과 실제 내부에서 사용되는 클럭의 시간차를 보상하여 상기 피드백 신호를 생성하는 딜레이 모델부; 및
복수개의 지연 클럭 신호를 입력받아 내부 회로로 전달하는 복수개의 DLL 드라이버
를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

【청구항 2】

제1항에 있어서, 상기 가변 클럭 분주기는,
상기 레벨 신호 중 상승 레벨 신호를 입력받고, 상기 상승 레벨 신호가 제2 논리 단계일 때 위상을 바꾸며 제1 논리 단계일 때 래치된 값을 유지하는 방식으로 제1 분주 신호를 생성하는 제1 분주기;
상기 제1 분주 신호를 입력받고, 상기 제1 분주 신호가 제2 논리 단계(High)일 때 위상을 바꾸며 제1 논리 단계일 때 제2 논리 단계의 값을 유지하는 방식으로 제2 분주 신호를 생성하며, 상기 제1 분주 신호가 제2 논리 단계일 때 위상을 바꾸며 제1 논리 단계일 때 래치된 값을 유지하는 방식으로 제3 분주 신호를 생성하는 제2 분주기;
외부에서 상기 CAS 신호를 입력받고, 상기 CAS 신호가 제1 논리 단계인 경우에는 상기 제2 분주 신호를 도통시키며, 상기 CAS 신호가 제2 논리 단계인 경우에는 상기 제3 분주 신호를 도통시키는 CAS 제어부;
상기 제2 분주 신호 또는 상기 제3 분주 신호를 입력받고, 상기 제2 분주 신호 또는 상기 제3 분주 신호가 제2 논리 단계일 때 위상을 바꾸며 제1 논리 단계일 때 제2 논

리 단계의 값을 유지하는 방식으로 상기 기준 신호를 생성하고, 상기 기준 신호를 상기 위상 비교기로 출력하는 제3 분주기; 및

상기 기준 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 딜레이 라인으로 출력하는 드라이버

를 포함하는 것을 특징으로 하는 자연 고정 루프 회로.

【청구항 3】

제2항에 있어서, 상기 제1 분주기는,

상기 상승 레벨 신호를 입력받아 NAND 연산을 수행하는 제1 NAND 게이트;

상기 상승 레벨 신호를 입력받아 NAND 연산을 수행하는 제2 NAND 게이트;

상기 상승 레벨 신호를 입력받아 반전하는 제1 인버터;

상기 제2 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제3 NAND 게이트;

상기 제3 NAND 게이트에 크로스 커플링되고, 상기 제1 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제1 분주 신호로서 출력하는 제4 NAND 게이트;

상기 제3 NAND 게이트의 출력 신호 및 상기 제1 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제5 NAND 게이트;

상기 제4 NAND 게이트의 출력 신호 및 상기 제1 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제6 NAND 게이트;

상기 제6 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제2 NAND 게이트로 출력하는 제7 NAND 게이트; 및

상기 제7 NAND 게이트에 크로스 커플링되고, 상기 제5 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제1 NAND 게이트로 출력하는 제8 NAND 게이트

를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

【청구항 4】

제2항에 있어서, 상기 제2 분주기는,

상기 제1 분주 신호를 입력받아 NAND 연산을 수행하는 제9 NAND 게이트;

상기 제1 분주 신호를 입력받아 NAND 연산을 수행하는 제10 NAND 게이트;

상기 제1 분주 신호를 입력받아 반전하는 제2 인버터;

상기 제10 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제11 NAND 게이트;

상기 제11 NAND 게이트에 크로스 커플링되고, 상기 제9 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제2 분주 신호로서 출력하는 제12 NAND 게이트;

상기 제11 NAND 게이트의 출력 신호 및 상기 제2 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제13 NAND 게이트;

상기 제12 NAND 게이트의 출력 신호 및 상기 제2 인버터의 출력 신호를 입력 받아 NAND 연산을 수행하는 제14 NAND 게이트;
상기 제14 NAND 게이트의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제10 NAND 게이트로 출력하는 제15 NAND 게이트; 및
상기 제15 NAND 게이트에 크로스 커플링되고, 상기 제13 NAND 게이트의 출력 신호를 입력 받아 NAND 연산을 수행한 후, 그 결과값을 상기 제9 NAND 게이트로 출력하는 제16 NAND 게이트
를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

【청구항 5】

제2항에 있어서, 상기 CAS 제어부는,
상기 CAS 신호가 제1 논리 단계인 경우에는 상기 제2 분주 신호를 상기 제3 분주 기로 도통시키고, 상기 CAS 신호가 제2 논리 단계인 경우에는 상기 제2 분주 신호를 차단하는 제1 패스 게이트부; 및
상기 CAS 신호가 제1 논리 단계인 경우에는 상기 제3 분주 신호를 상기 제3 분주 기로 도통시키고, 상기 CAS 신호가 제2 논리 단계인 경우에는 상기 제3 분주 신호를 차단하는 제2 패스 게이트부
를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

【청구항 6】

제2항에 있어서, 상기 제3 분주기는,

상기 CAS 제어부의 출력 신호를 입력받아 NAND 연산을 수행하는 제17 NAND 게이트;

상기 CAS 제어부의 출력 신호(B)를 입력받아 NAND 연산을 수행하는 제18 NAND 게이트;

상기 CAS 제어부의 출력 신호를 입력받아 반전하는 제3 인버터;

상기 제18 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제19 NAND 게이트;

상기 제19 NAND 게이트에 크로스 커플링되고, 상기 제17 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제20 NAND 게이트;

상기 제19 NAND 게이트의 출력 신호 및 상기 제3 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제21 NAND 게이트;

상기 제20 NAND 게이트의 출력 신호 및 상기 제3 인버터의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 기준 신호로서 출력하는 제22 NAND 게이트;

상기 제22 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제18 NAND 게이트로 출력하는 제23 NAND 게이트; 및

상기 제23 NAND 게이트에 크로스 커플링되고, 상기 제21 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제17 NAND 게이트로 출력하는 제24 NAND 게이트

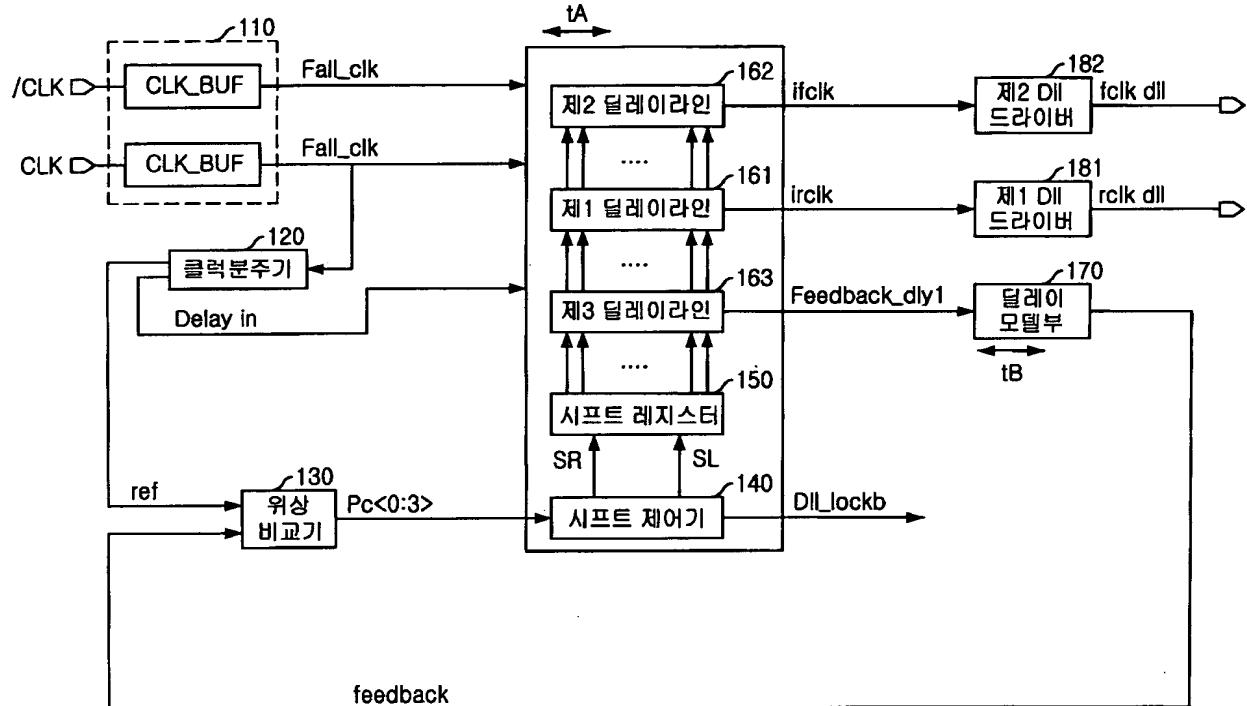
1020020074229

출력 일자: 2003/5/15

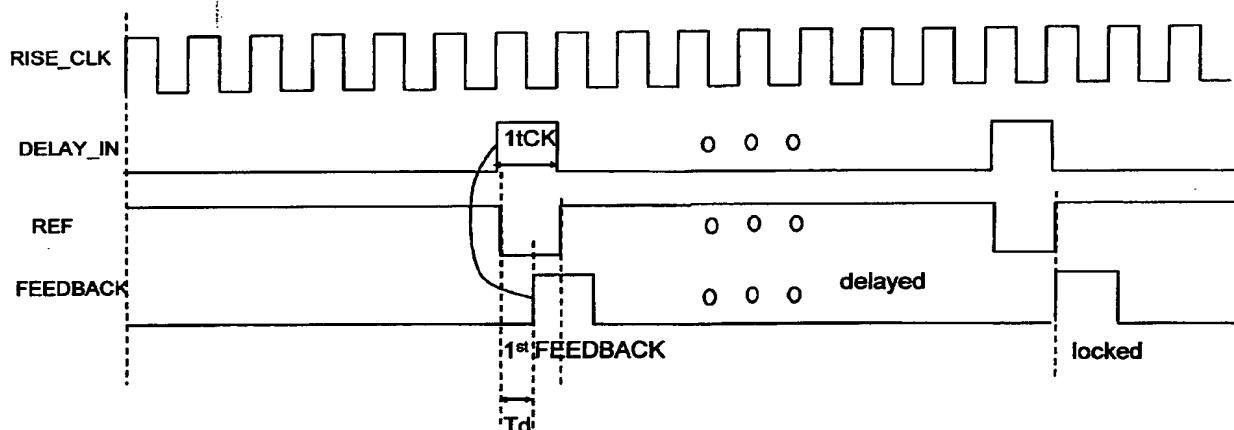
를 포함하는 것을 특징으로 하는 자연 고정 루프 회로.

【도면】

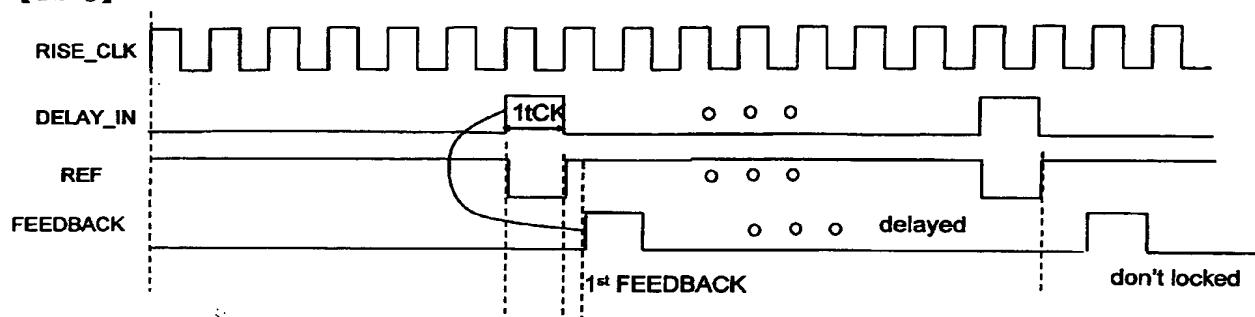
【도 1】



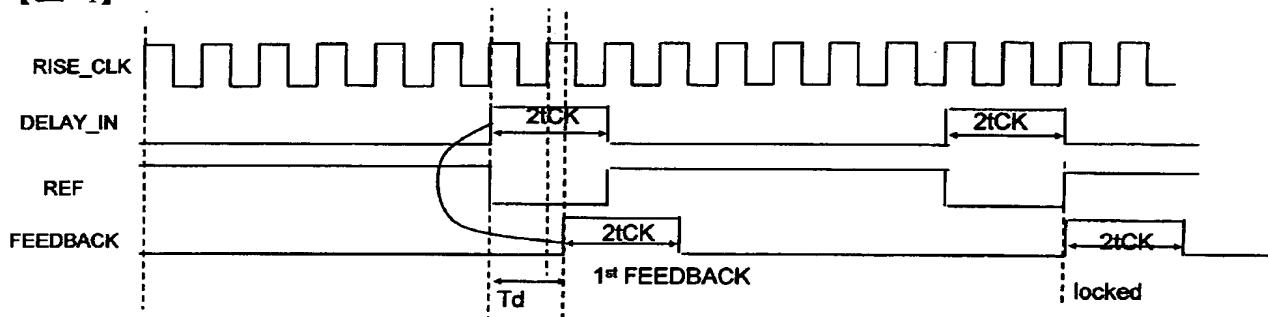
【도 2】



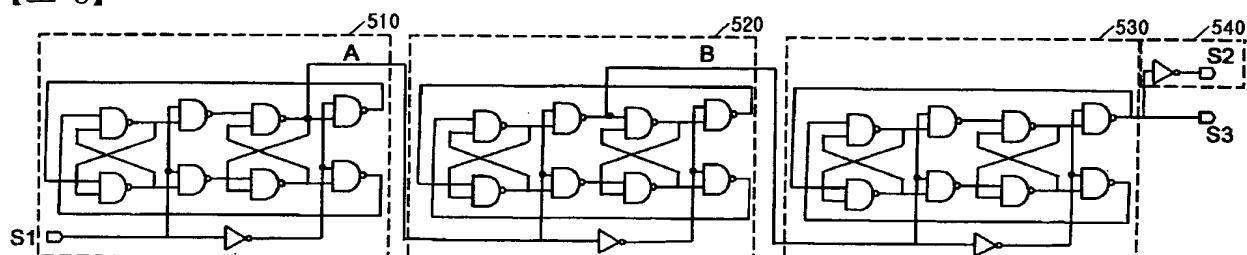
【도 3】



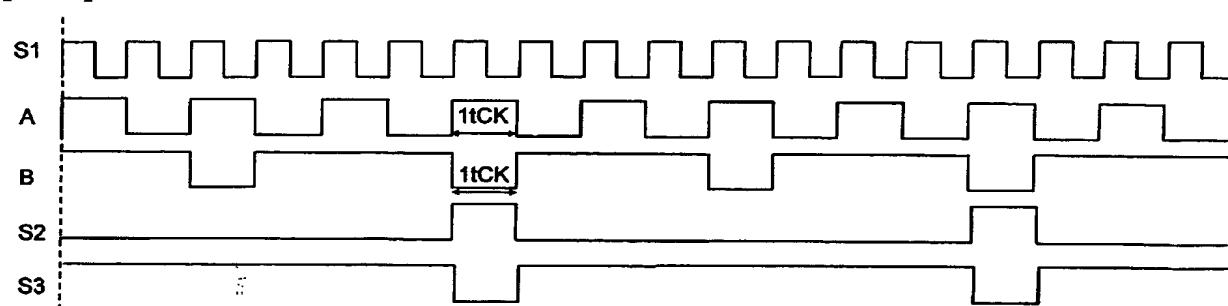
【도 4】



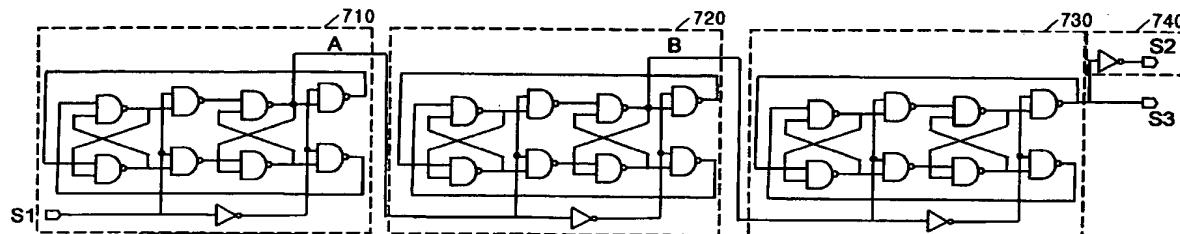
【도 5】



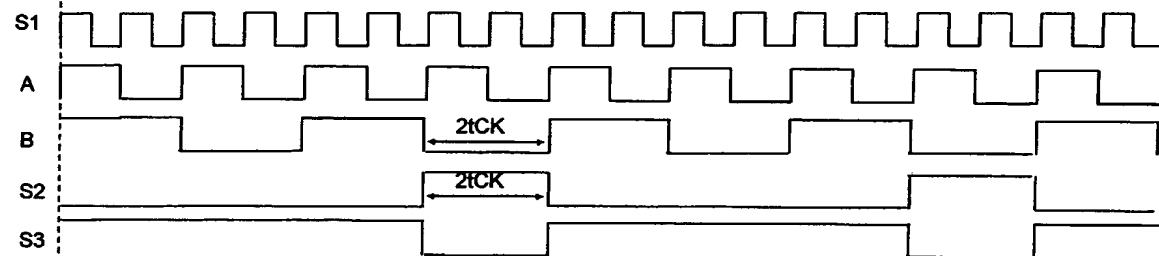
【도 6】



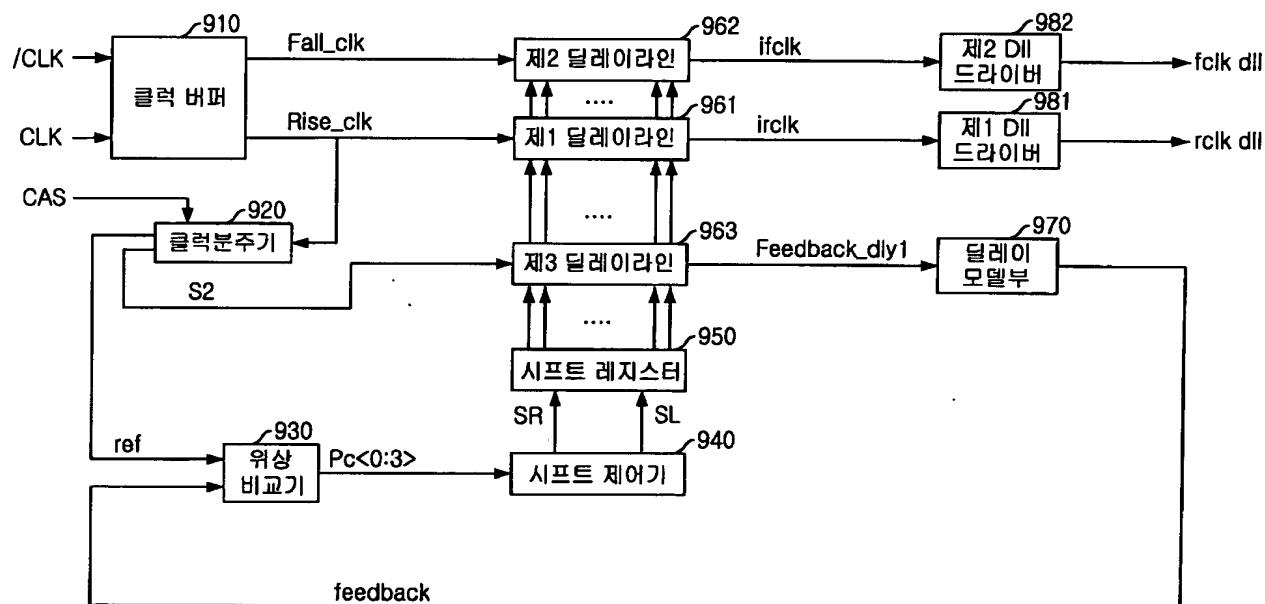
【도 7】



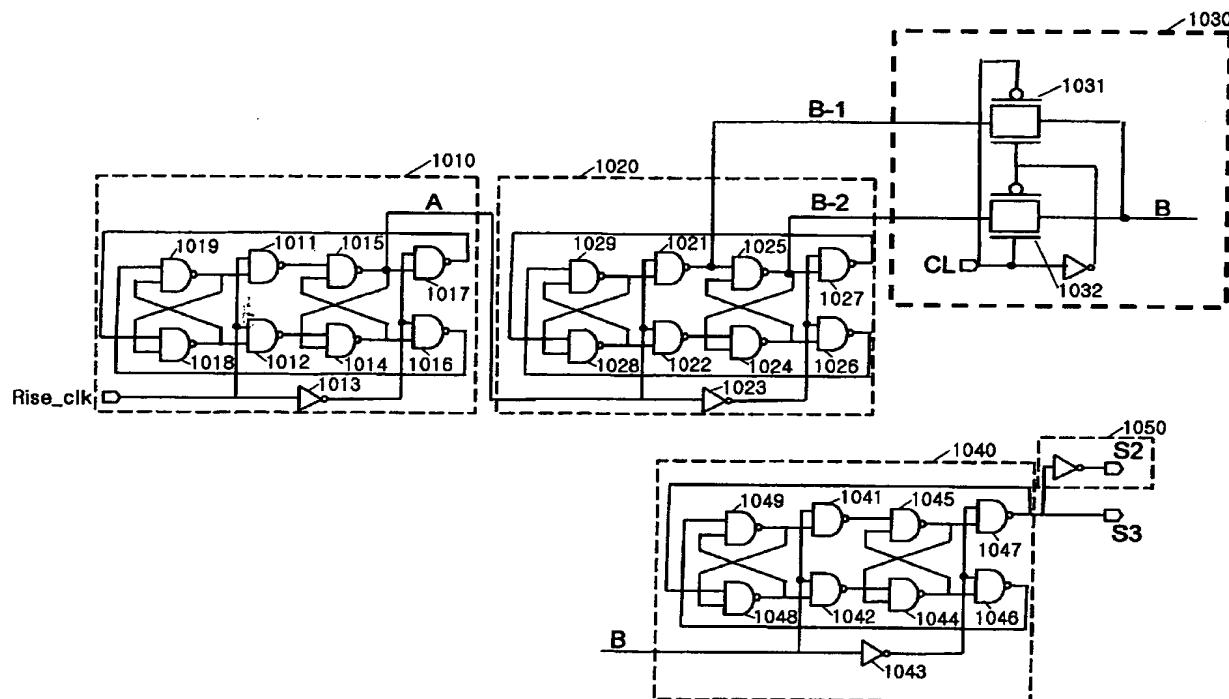
【도 8】



【도 9】



【도 10】



【도 11】

